

CRYSTAL GROWTH METHOD AND CHANNEL FORMATION METHOD FOR MOS TRANSISTOR

Publication number: JP6333827

Publication date: 1994-12-02

Inventor: TSUKAMOTO HIRONORI

Applicant: SONY CORP

Classification:

- **international:** H01L21/20; H01L21/336; H01L29/78; H01L29/786; H01L21/02; H01L29/66; (IPC1-7): H01L21/20; H01L21/336; H01L29/784

- **European:**

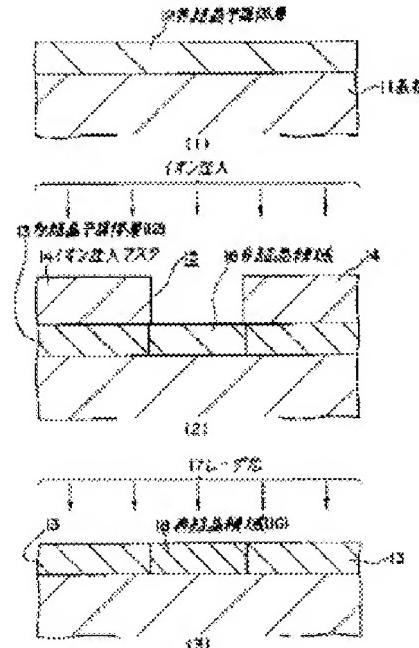
Application number: JP19930147042 19930525

Priority number(s): JP19930147042 19930525

[Report a data error here](#)

Abstract of JP6333827

PURPOSE: To improve transistor characteristics by improving flatness in crystal grain in a recrystallized area formed by utilizing difference in melting temperature at laser light irradiation, for a channel area of a MOS transistor to be formed in the area. **CONSTITUTION:** In a crystal growth method, by solid phase method, a crystal is grown in an amorphous semiconductor layer 12 formed on a substrate 11, for forming a polycrystalline semiconductor layer 13, and after an ion-implantation mask 14 is formed on a specified area of the polycrystalline semiconductor layer 13, with ion-implantation method using the ion-implantation mask 14, impurities are introduced into the polycrystalline semiconductor layer 13 for forming an amorphous area 16, and then at least the amorphous area 16 is irradiated with laser light 17 for the amorphous area 16 to be melted, and further, a recrystallized area 18 is formed through recrystallization. Further, in the recrystallized area 18 formed by the above crystal growth method, a channel area of an MOS transistor (not shown in the figure) is assigned.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-333827

(43)公開日 平成6年(1994)12月2日

(51) Int.Cl. ⁵ H 01 L 21/20 21/336 29/784	識別記号 庁内整理番号 8122-4M	F I	技術表示箇所 H 01 L 29/ 78 3 1 1 Y
---	------------------------	-----	---------------------------------

審査請求 未請求 請求項の数 2 FD (全 8 頁)

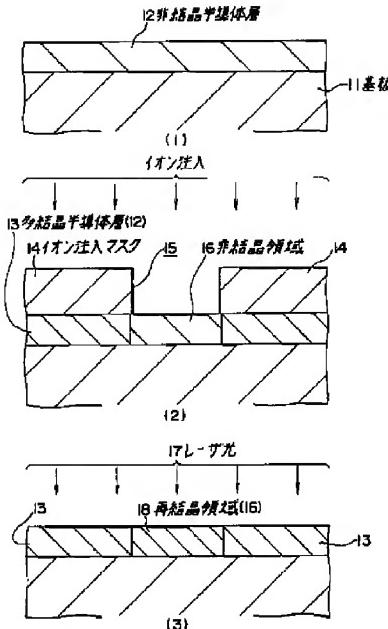
(21)出願番号	特願平5-147042	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成5年(1993)5月25日	(72)発明者	塙本 弘範 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
		(74)代理人	弁理士 船橋 國則

(54)【発明の名称】 結晶成長方法およびMOS型トランジスタのチャネル形成方法

(57)【要約】

【目的】 本発明は、レーザ光照射による溶融温度の相違を利用して形成した再結晶領域における結晶粒の平坦性の向上を図り、その領域にMOS型トランジスタのチャネル領域を形成することで、トランジスタ特性の向上を図る。

【構成】 結晶成長方法は、固相成長法によって、基板11上に形成した非結晶半導体層12に結晶を成長させて多結晶半導体層13を形成し、次いで多結晶半導体層13の所定の領域上にイオン注入マスク14を形成した後、そのイオン注入マスク14を用いたイオン注入法によって、多結晶半導体層13に不純物を導入して非結晶領域16を形成し、その後少なくとも非結晶領域16にレーザ光17を照射して非結晶領域16を溶融し、そして再結晶化して再結晶領域18を形成する。また上記結晶成長方法を用いて形成した再結晶領域18にMOS型トランジスタのチャネル領域(図示せず)を配置する。



結晶成長方法の実施例の工程図

【特許請求の範囲】

【請求項1】 固相成長法によって、基板上に形成した非結晶半導体層に結晶を成長させて多結晶半導体層を形成する第1の工程と、

前記多結晶半導体層の所定の領域上にイオン注入マスクを形成した後、当該イオン注入マスクを用いたイオン注入法によって、当該多結晶半導体層に不純物を導入して非結晶領域を形成する第2の工程と、

少なくとも前記非結晶領域にレーザ光を照射して当該非結晶領域を溶融した後、再結晶化して再結晶領域を形成する第3の工程とを行うことを特徴とする結晶成長方法。

【請求項2】 請求項1記載の結晶成長方法を用いて形成した前記再結晶領域にMOS型トランジスタのチャネル領域を形成することを特徴とするMOS型トランジスタのチャネル形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、結晶成長方法およびその結晶成長方法を用いたMOS型トランジスタのチャネル形成方法に関するものである。

【0002】

【従来の技術】 液晶表示装置の画素駆動用のトランジスタ、その周辺素子のトランジスタ、負荷素子型のスタティックRAM(以下SRAMと記す)等には、非結晶(アモルファス)状シリコンあるいは多結晶シリコン(ポリシリコン)の薄膜を用いた薄膜トランジスタ〔以下TFT(Thin Film Transistor)と記す〕が使われている。

【0003】しかし、多結晶シリコンは結晶シリコンに比べ、シリコン原子の未結合手が高密度に存在しているので、それら未結合手がスイッチングオフ時においてリーク電流の発生原因になっている。その結果、スイッチオン時の動作速度を低下させる原因になっている。したがって、TFTの特性を向上させるには、結晶欠陥が少ない均一性に優れた多結晶シリコン薄膜を形成することが要求される。

【0004】そのような多結晶シリコン薄膜の形成方法としては、化学的気相成長法や固相成長法等が提案されている。またリーク電流などの原因になる未結合手を減少させる手段としては、多結晶シリコン薄膜中に水素をドーピングすることによって、未結合手に水素を結合させるという、水素化技術が行われてゐる。

【0005】また固相成長法では、結晶の粒径を1μm以上の大きさに形成することができる。そのような結晶上に形成したTFTでは、低リークで電流駆動能力が大きなトランジスタ特性を得ることができる。

【0006】

【発明が解決しようとする課題】 しかしながら、化学的気相成長法によって、大きな粒径の結晶を成長させて多

結晶シリコン膜を形成すると、その膜厚は不均一になる。そして化学的気相成長法では、均一な膜厚の多結晶シリコン膜を得ることは難しい。このため、多結晶シリコン膜を用いて素子特性の均一なトランジスタを形成することが難しくなる。

【0007】また、非結晶の半導体層(例えば非結晶のシリコン層)に対してレーザ光を照射することで、レーザ光を照射した領域を溶融して再結晶化することにより、大粒径の多結晶粒を形成する方法が提案されている。しかしこの方法では、溶融によって、結晶粒の平坦性が非常に悪化するため、この多結晶粒を用いてトランジスタを製造することが困難になる。

【0008】また固相成長法による多結晶シリコンの形成方法では、結晶の形成位置がランダムであるため、結晶と結晶との境界(粒界)がトランジスタのチャネル領域に交わる場合が生じる。このように、粒界がチャネル領域に交わると、リーク電流やしきい値電圧にばらつきを生じ、トランジスタの信頼性が低下する。

【0009】さらには、未結合手を低減するために高温アニール処理を行う方法も提案されている。しかしこの方法では、基板全体を高温に加熱する必要があるため、トランジスタのソース・ドレイン領域が拡散しすぎて、トランジスタの性能が劣化する。また液晶素子用の基板では基板が変形する。

【0010】本発明は、結晶性を向上させた結晶成長方法およびその結晶成長方法を用いることで電気的特性に優れたMOS型トランジスタのチャネル形成方法を提供することを目的とする。

【0011】

【課題を解決するための手段】 本発明は、上記目的を達成するためになされた結晶成長方法およびMOS型トランジスタのチャネル形成方法である。すなわち、結晶成長方法としては、第1の工程で、固相成長法によって、基板上に形成した非結晶半導体層に結晶を成長させて多結晶半導体層を形成する。次いで第2の工程で、多結晶半導体層の所定の領域上にイオン注入マスクを形成した後、そのイオン注入マスクを用いたイオン注入法によって、多結晶半導体層に不純物を導入して非結晶領域を形成する。その後第3の工程で、少なくとも非結晶領域にレーザ光を照射することにより非結晶領域を溶融し、そして再結晶化して再結晶領域を形成する。

【0012】MOS型トランジスタのチャネル形成方法としては、上記結晶成長方法を用いて形成した再結晶領域にMOS型トランジスタのチャネル領域を形成する。

【0013】

【作用】 上記結晶成長方法では、イオン注入法によって、多結晶半導体層を非結晶化することにより、非結晶領域が所望の位置に形成される。そして、再結晶化する領域の融点温度が他の領域の融点温度よりも低いことを利用して、非結晶領域に再結晶領域を形成している。例

えば、多結晶半導体層である多結晶シリコンの融点温度は1410°Cであり、非結晶領域である非結晶シリコンの融点温度は1150°Cである。したがって、非結晶シリコンは溶融し、多結晶シリコンは溶融しない温度になるようにレーザ光の照射エネルギーを選択することで、非結晶シリコンのみ溶融される。このように、非結晶領域を溶融することにより、全ての領域を溶融した場合に比較して、結晶粒の平坦性は非常によくなる。

【0014】上記MOS型トランジスタのチャネル形成方法で、上記結晶成長方法を用いて形成した再結晶領域にMOS型トランジスタのチャネル領域を形成することにより、当該チャネル領域の結晶性は高められる。

【0015】

【実施例】本発明の結晶成長方法の実施例を、図1の工程図により説明する。

【0016】図1の(1)に示すように、まず第1の工程では、例えば化学的気相成長法によって、少なくとも上層が絶縁性を有する基板11上に非結晶半導体層12を堆積する。この非結晶半導体層12は、例えば非結晶シリコンよりも、例えば40nmの膜厚に形成される。上記非結晶半導体層12の堆積温度条件としては、例えば450°C~550°Cの範囲に設定されることが望ましい。なお上記堆積温度が550°Cを越えると、非結晶が部分的に成長して、不規則な位置に多結晶を生じることになる。

【0017】次いで非結晶半導体層12の高密度化と均一性の向上を図るために、例えば400°Cの温度雰囲気中に1時間放置する、焼き締めアニール処理を行う。続いて、600°Cの温度雰囲気中に8時間~12時間放置する、固相成長アニール処理を行って、非結晶半導体層12の全体を多結晶に変える。

【0018】次いで図1の(2)に示す第2の工程を行う。この工程では、通常の塗布技術によって、上記非結晶半導体層(12)を多結晶に変えた多結晶半導体層13の上面に、例えばレジストよりもイオン注入マスク14を成膜する。そして通常のホトリソグラフィー技術によって、上記イオン注入マスク14の所定の領域に開口部15を形成する。その後、上記イオン注入マスク14を用いたイオン注入法によって、上記開口部15より不純物(図示せず)を上記多結晶半導体層13に導入する。そして当該イオン注入した領域の多結晶半導体層13を非結晶化して非結晶領域16を形成する。

【0019】上記イオン注入条件としては、例えば、イオン注入によって打ち込む不純物にはシリコンを用い、打ち込みエネルギーを15keV、ドーズ量を1P個/cm²~20P個/cm²に設定する。上記不純物は、シリコンに限定されることはなく、例えば電気的に中性な不純物として、例えばIV族の元素を用いることも可能である。また非結晶半導体層12の導電型を変えて差し支えない場合には、上記以外の元素であってもよ

い。

【0020】その後、例えばアッシャー処理またはウェットエッチングによって、上記イオン注入マスク14を除去する。そして図1の(3)に示す第3の工程を行う。この工程では、上記非結晶領域(16)にレーザ光17を照射して、当該非結晶領域(16)のみを溶融する。その後溶融した領域を再結晶化して、再結晶領域18を形成する。なお上記レーザ光17は非結晶領域(16)に照射されればよいので、必ずしも多結晶半導体層13にまでレーザ光17を照射する必要はない。

【0021】上記レーザ光17には、例えば波長が308nmの塩化キセノン(XeCl)エキシマレーザ光を用い、照射エネルギー密度の値を、例えば200mJ/cm²~300J/cm²に設定する。上記照射エネルギー密度の値は、非結晶領域16は溶融し、多結晶半導体層13は溶融しない温度に加熱するように設定されれば、上記値に限定されない。また上記レーザ光17は、非結晶領域16に吸収されやすい波長のレーザ光であればどのようなものであってもよく、例えば、波長が249nmのフッ化クリプトン(KrF)エキシマレーザ光もしくは波長が193nmのフッ化アルゴン(ArF)エキシマレーザ光等を用いてもよい。その場合には、照射エネルギー密度の値は適宜選択される。

【0022】上記結晶成長方法では、イオン注入法によって、多結晶半導体層13を非結晶化することにより、非結晶領域16が所望の位置に形成される。そして、再結晶化する領域の融点温度が他の領域の融点温度よりも低いことを利用して、上記非結晶領域16に再結晶領域17を形成している。例えば、多結晶シリコンよりも多結晶半導体層13の融点温度は1410°Cであり、非結晶シリコンよりも非結晶領域16の融点温度は1150°Cである。したがって、非結晶領域16は溶融し、多結晶半導体層13は溶融しない温度になるようにレーザ光17の照射エネルギーを選択することで、非結晶領域16のみが溶融される。このように、非結晶領域を溶融することにより、全ての領域を溶融した場合に比較して結晶粒の平坦性は非常によくなる。

【0023】上記結晶成長方法を用いて形成した前記再結晶領域にチャネル領域を形成したトップゲート型のMOS型トランジスタの製造方法を、図2、図3の製造工程図(その1)、(その2)により説明する。なお、上記図1で説明したと同様の構成部品には、同一の符号を付す。

【0024】図2の(1)に示すように、上記図1で説明したと同様の形成方法によって、少なくとも上層が絶縁性の基板11の上面には、所望の位置に再結晶領域18を形成した多結晶半導体層13が形成されている。

【0025】次いで再結晶領域18をチャネル領域とするトップゲート型のMOS型トランジスタを形成する。まず図2の(2)に示すように、例えばホトリソグラフ

イー技術とエッティングとによって、上記多結晶半導体層13の2点鎖線で示す部分を除去し、上記再結晶領域(18)を含む上記多結晶半導体層(13)で導電層形成領域21を形成する。続いて例えは化学的気相成長法(または熱酸化法等)によって、上記導電層形成領域21側の表面にゲート絶縁膜22を形成する。このゲート絶縁膜22は、例えは酸化シリコンよりなり、例えは30nmの膜厚に形成される。

【0026】さらに図2の(3)に示すように、例えは化学的気相成長法によって、上記ゲート絶縁膜22上に10ゲート電極形成膜23を堆積する。このゲート電極形成膜23は、例えは不純物としてリンをドーピングした非結晶または多結晶シリコンよりなり、例えは100nmの膜厚に形成される。次いで、ホトリソグラフィー技術とエッティングとによって、2点鎖線で示す部分の上記ゲート電極形成膜23を除去し、再結晶領域18上に残した上記ゲート電極形成膜(23)でゲート電極24を形成する。

【0027】続いて図3の(4)に示すように、ホトリソグラフィー技術によって、例えはレジストよりなるイオン注入マスク25を形成する。そしてイオン注入法によって、上記ゲート電極24の両側における上記導電層形成領域21に不純物(図示せず)を導入し、ソース・ドレイン領域26, 27を形成する。各ソース・ドレイン領域26, 27は、再結晶領域(18)の一部分にかかる状態に形成される。したがって、再結晶領域(18)にチャネル領域28が形成される。

【0028】その際のイオン注入条件としては、例えは打ち込みエネルギーを10keVに設定し、ドーザ量を3P/cm²に設定して、ホウ素イオン(B⁺)を導入する。あるいは打ち込みエネルギーを35keVに設定し、ドーザ量を3P/cm²に設定して、二フッ化ホウ素イオン(BF₂⁺)を導入する。

【0029】その後、アッシャー処理またはウェットエッティング等によって、上記イオン注入マスク25を除去する。そして、ソース・ドレイン領域26, 27の活性化アニール処理を行う。アニール処理条件としては、例えは、アニール処理温度を900℃に設定し、そのアニール処理時間を20分間に設定する。このように、活性化アニール処理を高温度で行えるので、ソース・ドレイン領域26, 27の低抵抗化が図れる。

【0030】図3の(5)に示すように、化学的気相成長法によって、層間絶縁膜31を150nm～200nmの膜厚に形成する。層間絶縁膜31はPSG膜またはBPSG膜等の酸化シリコン系膜あるいは窒化シリコン膜より形成される。

【0031】その後、通常のホトリソグラフィー技術とエッティングとによって、コンタクトホール32, 33, 34を形成する。さらに通常の配線形成技術によって、コンタクトホール32, 33, 34を通して、当該ゲー

ト電極24、当該ソース・ドレイン領域26, 27に接続する電極35, 36, 37を形成する。それからシングリング処理を行う。このようにして、トップゲート型のMOS型トランジスタ1が形成される。

【0032】上記トップゲート型のMOS型トランジスタ1の製造方法では、上記図1により説明した結晶成長方法を用いて再結晶領域18を形成し、その再結晶領域18にチャネル領域28を形成することにより、当該チャネル領域28の結晶性は高められ、結晶粒界は存在しなくなる。

【0033】上記図1により説明した結晶成長方法を用いて形成した前記再結晶領域にチャネル領域を形成したボトムゲート型のMOS型トランジスタの製造方法を、図4、図5の製造工程図(その1), (その2)により説明する。なお、上記図1で説明したと同様の構成部品には、同一の符号を付す。

【0034】図4の(1)に示すように、例えは化学的気相成長法によって、少なくとも上層が絶縁性の基板11の上面に、ゲート電極形成膜41を堆積する。このゲート電極形成膜41は、例えはリンをドーピングした非結晶または多結晶シリコンよりなり、例えは100nmの膜厚を有する。ホトリソグラフィー技術とエッティングとによって、ゲート電極形成膜41の2点鎖線で示す部分を除去し、残したゲート電極形成膜(41)でゲート電極42を形成する。

【0035】次いで例えは化学的気相成長法(または熱酸化法等)によって、少なくとも上記ゲート電極42の表面を覆う状態にゲート絶縁膜43を形成する。ゲート絶縁膜43は酸化シリコンよりなり、その膜厚は例えは30nmに形成される。

【0036】図4の(2)に示すように、上記図1の(1)で説明したと同様の方法によって、ステップカバリッジ性に優れた成膜が行える化学的気相成長法によって、上記ゲート絶縁膜43側に、非結晶の半導体層12を堆積する。この非結晶の半導体層12は、例えは膜厚が100nmの非結晶シリコンよりなる。

【0037】次いで非結晶半導体層12の高密度化と均一性の向上を図るために、例えは400℃の温度雰囲気中に1時間放置する、焼き締めアニール処理を行う。続いて、600℃の温度雰囲気中に8時間～12時間放置する、固相成長アニール処理を行って、非結晶半導体層12の全体を多結晶に変える。

【0038】図4の(3)に示すように、通常の塗布技術によって、上記非結晶半導体層(12)を多結晶に変えた多結晶半導体層13の上面に、例えはレジストよりなるイオン注入マスク44を成膜する。そして通常のホトリソグラフィー技術によって、チャネルの形成領域上における上記イオン注入マスク44に開口部45を形成する。その後、上記イオン注入マスク44を用いたイオン注入法によって、上記開口部45より不純物(図示せ

ず)を上記多結晶半導体層13に導入する。そして当該イオン注入した領域の多結晶半導体層13を非結晶化して非結晶領域16を形成する。したがって、非結晶領域16はゲート電極42を横切る状態に形成される。上記イオン注入条件と不純物の種類に関しては、上記図1の(2)で説明したと同様なので、ここでの説明は省略する。

【0039】その後、例えばアッシャー処理またはウェットエッチングによって、上記イオン注入マスク44を除去する。そして図5の(4)に示すように、少なくとも上記非結晶領域(16)にレーザ光17を照射して、当該非結晶領域(16)を溶融する。その後溶融した領域を再結晶化して、再結晶領域18を形成する。なお上記レーザ光17は、非結晶領域(16)のみに照射してもよい。上記レーザ光17の種類、照射条件等は、上記図1の(3)で説明したと同様なので、ここでの説明は省略する。

【0040】続いて図5の(5)に示すように、ホトリソグラフィー技術によって、例えばレジストよりもイオン注入マスク46をチャネル形成領域上に形成する。そして上記イオン注入マスク46を用いたイオン注入法によって、上記ゲート電極42上の両側における再結晶領域(18)の一部分と多結晶半導体層(13)とに不純物(図示せず)を導入して、ソース・ドレイン領域47、48を形成する。したがって、各ソース・ドレイン領域47、48は、再結晶領域(18)の一部分にかかる状態に形成される。したがって、再結晶領域(18)にチャネル領域49が形成される。

【0041】その際のイオン注入条件としては、上記図3の(4)で説明したと同様なので、ここでの説明は省略する。

【0042】その後、アッシャー処理またはウェットエッチング等によって、上記イオン注入マスク46を除去する。次いで、例えばホトリソグラフィー技術とエッチングとによって、上記多結晶半導体層(13)の2点鎖線で示す部分を除去し、上記ソース・ドレイン領域47、48とチャネル領域49よりなる導電層領域50を、上記ゲート電極42上を横切る状態に形成する。そして、ソース・ドレイン領域47、48の活性化アニール処理を行う。アニール処理条件としては、例えば、アニール処理温度を900℃に設定し、そのアニール処理時間を20分間に設定する。このように、上記活性化アニール処理の温度を高く設定できるので、ソース・ドレイン領域47、48の低抵抗化が図れる。

【0043】その後図5の(6)に示すように、化学的気相成長法によって、層間絶縁膜51を150nm～200nmの膜厚に形成する。層間絶縁膜51はPSG膜またはBPSG膜等の酸化シリコン系膜あるいは窒化シリコン膜より形成される。

【0044】その後、通常のホトリソグラフィー技術と

エッチングとによって、コンタクトホール52、53、(図示せず)を形成する。さらにコンタクトホール52、53、(図示せず)を通して、当該ソース・ドレイン領域47、48、当該ゲート電極42に接続する電極54、55、(図示せず)を形成する。それからシンターリング処理を行う。このようにして、ボトムゲート型のMOS型トランジスタ2が形成される。

【0045】上記ボトムゲート型のMOS型トランジスタ2の製造方法では、上記図1により説明した結晶成長方法とほぼ同様にして再結晶領域18を形成し、その再結晶領域18にチャネル領域49を形成することにより、当該チャネル領域49の結晶性は高められ、結晶粒界が存在しなくなる。さらにレーザ光17による加熱では、上層が加熱される。このため、上記説明した実施例では、非結晶領域16と多結晶半導体層13とが加熱されて、その下地はほとんど加熱されない。また、レーザ光を非結晶領域およびその付近に照射した場合には、基板全体を加熱することが避けられるので、基板はほとんど熱変形を生じることがない。

【0046】上記トップゲート型、ボトムゲート型のMOS型トランジスタ1、2を、例えばSRAMの負荷素子に用いた場合には、当該SRAMの消費電力が低減される。また当該SRAMのソフトエラー耐性が向上するので、信頼性の向上が図れる。

【0047】**【発明の効果】**以上、説明したように本発明の結晶成長方法によれば、多結晶半導体層に非結晶領域を形成し、レーザ光照射によって、溶融温度の相違を利用して選択的に非結晶領域を溶融・再結晶化して再結晶領域を形成するので、全ての領域を溶融した場合に比較して、結晶粒の平坦性の向上を図ることができる。このように、結晶粒が平坦化されるので、素子特性が均一なMOS型トランジスタを形成することが可能になる。

【0048】本発明のMOS型トランジスタのチャネル形成方法によれば、本案の結晶成長方法を用いて形成した再結晶領域にMOS型トランジスタのチャネル領域を形成するので、当該チャネル領域は結晶性に優れた領域に形成できる。このため、チャネル領域に粒界が存在するのを避けることができるので、リード電流が小さくなり、しきい値電圧のばらつきが大幅に低減されて、MOS型トランジスタの信頼性を大幅に向上できる。

【図面の簡単な説明】

【図1】結晶成長方法の実施例の形成工程図である。

【図2】トップゲート型のMOS型トランジスタの製造工程図(その1)である。

【図3】トップゲート型のMOS型トランジスタの製造工程図(その2)である。

【図4】ボトムゲート型のMOS型トランジスタの製造工程図(その1)である。

【図5】ボトムゲート型のMOS型トランジスタの製造

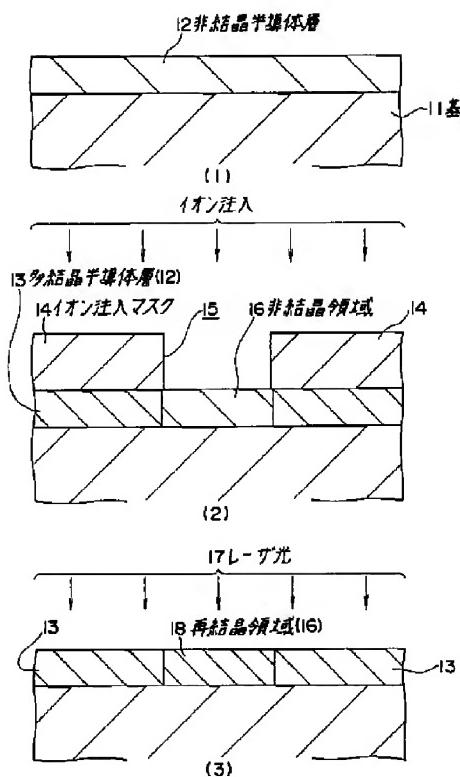
工程図（その2）である。

【符号の説明】

- 1 トップゲート型のMOS型トランジスタ
- 2 ポトムゲート型のMOS型トランジスタ
- 11 基板
- 12 非結晶半導体層
- 13 多結晶半導体層

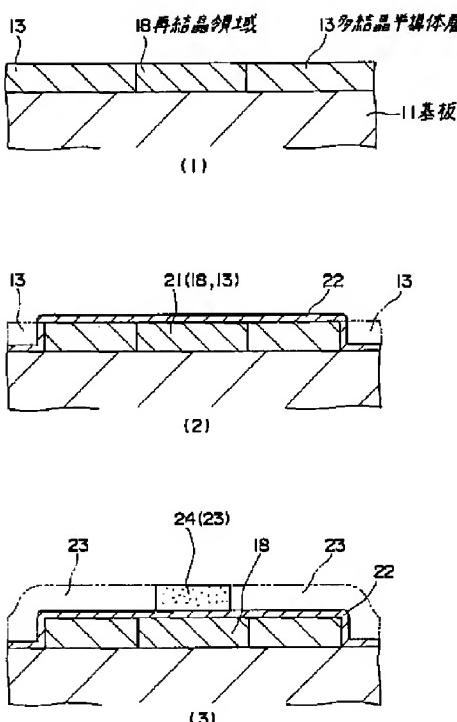
- 14 イオン注入マスク
- 16 非結晶領域
- 17 レーザ光
- 18 再結晶領域
- 28 チャネル領域
- 49 チャネル領域

【図1】



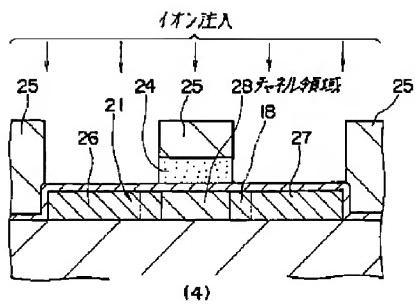
結晶成長方法の実施例の工程図

【図2】

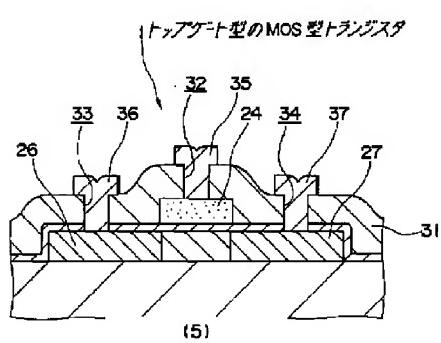
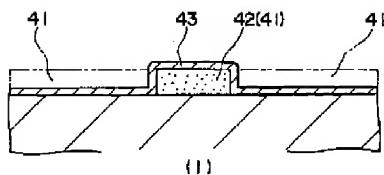


トップゲート型のMOS型トランジスタの製造工程図(その1)

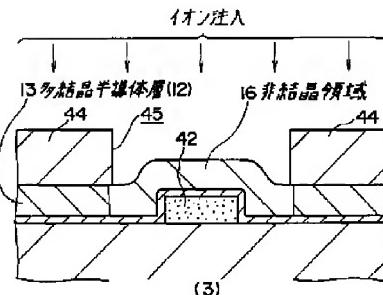
【図3】



【図4】

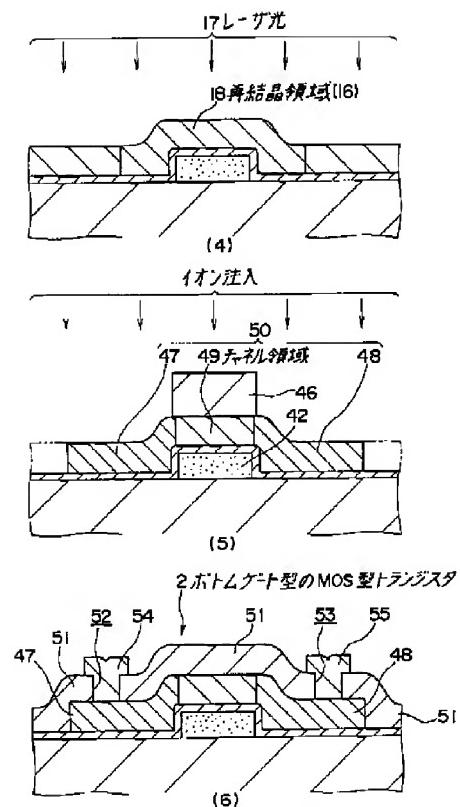


トップゲート型のMOS型トランジスタの製造工程図(その2)



ボトムゲート型のMOS型トランジスタの製造工程図(その1)

【図5】



ホトムゲート型のMOS型トランジスタの製造工程図(その2)